

(51) Int.Cl.<sup>\*</sup>  
 H 01 L 21/8247  
 29/788  
 29/792  
 G 11 C 16/04  
 H 01 L 27/115

識別記号

F I  
 H 01 L 29/78 371  
 G 11 C 17/00 621Z  
 H 01 L 27/10 434

審査請求 未請求 請求項の数8 O L (全 6 頁)

(21)出願番号 特願平8-351138

(22)出願日 平成8年(1996)12月27日

(71)出願人 000002185  
 ソニー株式会社  
 東京都品川区北品川6丁目7番35号

(72)発明者 青笠 浩  
 東京都品川区北品川6丁目7番35号 ソニー  
 株式会社内

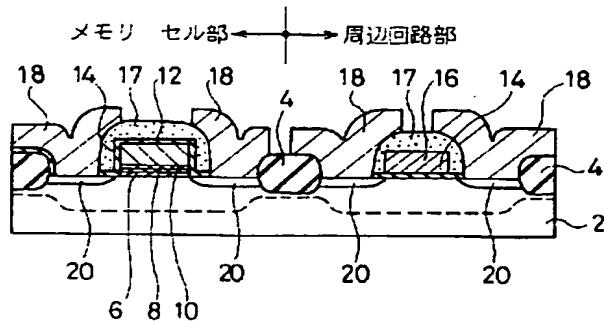
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 不揮発性半導体メモリ装置およびその製造方法

## (57)【要約】

【課題】データ保持寿命が任意に設定された不揮発性半導体メモリ装置およびこの製造方法を提供する。

【解決手段】チャネルが形成される半導体層と、この半導体層に接して設けられた第1の絶縁膜層6と、第1の絶縁膜層に積層された第2および第3の絶縁膜層8、10と、第3の絶縁膜層10に接して設けられたゲート電極12とを有し、第1、第2および第3の絶縁膜層6、8、10の各界面領域への電荷の蓄積量に応じた値のデータの記憶を行う不揮発性半導体メモリ装置であって、データの保持寿命に応じた原子の構成比をもって第2の絶縁膜層8が形成されているものとした。



## 【特許請求の範囲】

【請求項1】チャネルが形成される半導体層と、前記半導体層上に形成された第1の絶縁膜層と、前記第1の絶縁膜層に積層された第2および第3の絶縁膜層と、前記第3の絶縁膜層に接して設けられたゲート電極とを有し、前記第1、第2および第3の絶縁膜層への電荷の蓄積量に応じた値のデータの記憶を行う不揮発性半導体メモリ装置であって、

前記データの保持寿命に応じた原子の構成比をもって前記第2の絶縁膜層が形成されている不揮発性半導体メモリ装置。  
10

【請求項2】前記第1の絶縁膜層が酸化膜からなり、前記第2の絶縁膜層が窒化膜からなり、前記第3の絶縁膜層が酸化膜からなる請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】チャネルが形成される半導体層と、前記半導体層に接して設けられた第1の絶縁膜層と、前記第1の絶縁膜層に積層された第2の絶縁膜層と、前記第2の絶縁膜層に接して設けられたゲート電極とを有し、前記第1および第2の絶縁膜層に電荷を蓄積する不揮発性半導体メモリ装置であって、  
20

データの保持寿命に応じた原子の構成比をもって前記第2の絶縁膜層が形成されている不揮発性半導体メモリ装置。

【請求項4】前記第1の絶縁膜層が酸化膜からなり、前記第2の絶縁膜層が窒化膜からなる請求項3に記載の不揮発性半導体メモリ装置。

【請求項5】半導体基板上のチャネル形成領域上に第1の酸化膜、窒化膜、第2の酸化膜を順に積層してゲート絶縁膜を形成し、当該ゲート絶縁膜上にゲート電極を形成するとともに、上記チャネル形成領域に所定濃度の不純物を注入する不揮発性半導体メモリの製造方法であって、  
30

前記窒化膜の形成はCVD法によって行い、CVD法における反応ガスの混合比を前記不揮発性半導体メモリのデータ保持寿命に応じて調整する不揮発性半導体メモリの製造方法。

【請求項6】前記反応ガスは、ジクロロシランとアンモニアとからなる請求項5に記載の不揮発性半導体メモリの製造方法。  
40

【請求項7】半導体基板上のチャネル形成領域上に第1の酸化膜、窒化膜を順に積層してゲート絶縁膜を形成し、当該ゲート絶縁膜上にゲート電極を形成するとともに、上記チャネル形成領域に所定濃度の不純物を注入する不揮発性半導体メモリの製造方法であって、  
前記窒化膜の形成はCVD法によって行い、

CVD法における反応ガスの混合比を前記不揮発性半導体メモリのデータ保持寿命に応じて調整する不揮発性半導体メモリの製造方法。

【請求項8】前記反応ガスは、ジクロロシランとアンモ  
50

ニアとからなる請求項7に記載の不揮発性半導体メモリの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、不揮発性半導体メモリ装置に関し、特に、半導体層とゲート電極間に形成された多層絶縁膜層の有する電荷蓄積機構のデータ保持寿命を任意に設定可能な不揮発性半導体メモリ装置に関する。

## 【0002】

【従来の技術】従来、この種の不揮発性半導体メモリ装置として、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 構造の半導体メモリ装置やMNOS (Metal-Nitride-Oxide-Semiconductor) 構造の半導体メモリ装置が知られている。上記のMONOS構造の半導体メモリ装置においては、例えば、シリコン基板上にトンネル酸化膜として用いられる二酸化シリコン ( $SiO_2$ ) 膜が形成され、この二酸化シリコン膜上に窒化シリコン膜 ( $SiN$ ) が形成され、この窒化シリコン膜上にトップ酸化膜が形成され、このトップ酸化膜上にゲート電極が形成される。このようなMONOS構造の半導体メモリ装置は、ゲート電極とシリコン基板間に所定の電圧を印加すると、シリコン基板から上記の二酸化シリコン膜、窒化シリコン膜およびトップ酸化膜からなる多層絶縁層の有する電荷蓄積機構にキャリアが注入される。そして、しきい値電圧をシフトさせることによって、信号に対応させることができる。

【0003】通常、このような不揮発性半導体メモリ装置を作製するには、以下のようなプロセス（ここでは、電荷蓄積機構に多層絶縁膜、特にONO膜を用いた場合）が用いられる。

【0004】まず、単結晶シリコン基板などで構成される半導体基板の表面に、例えば、LOCOS法によりフィールド絶縁膜（酸化シリコン膜）を形成し、次に、イオン注入法等を用いて、メモリ領域に不純物の導入を行い、次に、ONO膜で構成されるゲート絶縁層のトンネル酸化膜層（ボトム酸化膜）を形成する。次に、ONO膜で構成されるゲート絶縁層中の窒化シリコン膜をCVD法などを用いて堆積し、この窒化シリコン膜層を熱酸化して、ONO膜のトップ酸化シリコン膜層を形成する。

【0005】次に、ゲート電極材料層をCVDなどで成膜した後、これをパターン加工して、ゲートを形成した後、周辺回路その他の部分を形成するために、一度、メモリセル部以外のところのONO膜を除去する。形成された周辺回路その他の部分に、不純物の導入、ゲート酸化膜の形成、ゲート電極の形成を行なう。次に、ゲート電極に対して自己整合的に、ソース・ドレイン領域を半導体基板の表面に形成し、層間絶縁層を成膜し、取り出し電極を取付けて完成する。

【0006】ここで、上記のようなMONOS構造の半導体メモリ装置を従来のメモリセル構造を用いて集積化した場合のメモリセルの代表的な等価回路図を図6に示す。たとえば、図6に示すメモリセルM1のデータを読む場合、ワード線W1にアクセスする。通常、不揮発性半導体メモリ装置のトランジスタにはNチャンネル型MOSを用いるため、ワード線W1には、正の電圧を印加する。ほぼ同時に、ビットラインB1aとビットラインB1bとの間に流れる電流を検知して、データが“1”か“0”かを判定する。

【0007】

【発明が解決しようとする課題】上述した不揮発性半導体メモリ装置の製造プロセスにおいて、窒化シリコン膜の形成は、電荷蓄積機構の有するデータ保持寿命が、通常、例えば10年以上となるような条件で行われる。具体的には、窒化シリコン膜の形成の際に、窒化シリコン膜中にデータ保持寿命の劣化に寄与する浅い電荷トラップが形成されないような条件で形成され、例えば、窒化シリコン膜を構成するシリコン(Si)および窒素(N)の比を3:4よりも、窒素の比率を大きく形成する場合が多い。

【0008】しかしながら、上記のような不揮発性半導体メモリ装置においては、保持するデータを任意の期間の経過後に抹消することができれば、不揮発性半導体メモリ装置を使用した装置に新たな付加価値を付与することができる。例えば、不揮発性半導体メモリ装置をメモリカードや定期券等のようなものに使用した場合、データを保持するとともに、一定期間経過後にデータを抹消できれば、期限の経過後にはメモリカードや定期券等を使用することができなくなり、メモリカードや定期券等の機能を高めることができる。したがって、データ保持寿命を任意に設定可能な不揮発性半導体メモリ装置に対する要請があった。

【0009】本発明は、かかる従来の課題に鑑みてなされたものであって、データ保持寿命が任意に設定された不揮発性半導体メモリ装置およびこの製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明に係る不揮発性半導体メモリ装置は、チャネルが形成される半導体層と、前記半導体層上に形成された第1の絶縁膜層と、前記第1の絶縁膜層に積層された第2および第3の絶縁膜層と、前記第3の絶縁膜層に接して設けられたゲート電極とを有し、前記第1、第2および第3の絶縁膜層への電荷の蓄積量に応じた値のデータの記憶を行う不揮発性半導体メモリ装置であって、前記データの保持寿命に応じた原子の構成比をもって前記第2の絶縁膜層が形成されている。

【0011】本発明に係る不揮発性半導体メモリ装置は、好ましくは、前記第1の絶縁膜層が酸化膜からな

り、前記第2の絶縁膜層が窒化膜からなり、前記第3の絶縁膜層が酸化膜からなる。

【0012】本発明に係る不揮発性半導体メモリ装置では、第2の絶縁膜層が、データの保持寿命に応じた原子の構成比をもって形成されていることから、所定の期間が経過すると、不揮発性半導体メモリ装置に保持されたデータが抹消されることになる。

【0013】本発明に係る不揮発性半導体メモリ装置の製造方法は、半導体基板上のチャネル形成領域上に第1の酸化膜、窒化膜、第2の酸化膜を順に積層してゲート絶縁膜を形成し、当該ゲート絶縁膜上にゲート電極を形成するとともに、上記チャネル形成領域に所定濃度の不純物を注入する不揮発性半導体メモリの製造方法であって、前記窒化膜の形成はCVD法によって行い、CVD法における反応ガスの混合比を前記不揮発性半導体メモリのデータ保持寿命に応じて調整する。

【0014】本発明に係る不揮発性半導体メモリ装置の製造方法は、窒化膜の形成をCVD法によって行い、窒化膜の形成条件として、CVD法における反応ガスの混合比を不揮発性半導体メモリのデータ保持寿命に応じて調整することにより、所望の状態の窒化膜を得ることができる。具体的には、反応ガスとして、ジクロロシランとアンモニアとを使用することができ、これらの混合比を変更することにより、データ保持寿命を所望のものにすることができる。

【0015】

【発明の実施の形態】以下、本発明に係る不揮発性半導体メモリ装置の実施の形態について図面を参照して詳細に説明する。

【0016】第1実施形態

本実施形態は、本発明をMONOSトランジスタに適用した場合の一例である。すなわち、電荷蓄積層としてNO膜を用い、不揮発性半導体メモリ装置を構成する。

【0017】本実施形態に係る不揮発性半導体メモリ装置におけるメモリセル部および周辺回路部の一例の要部断面図を図1に示す。図1に示すように、単結晶シリコン基板などで構成され、メモリ領域に不純物が導入された半導体基板2上に、メモリセル部と周辺回路部とを絶縁するフィールド絶縁膜(酸化シリコン膜)4が形成されている。

【0018】メモリセル部側は、不純物が導入された半導体基板2上には、ゲート絶縁層を構成する第1絶縁膜層6、第2絶縁膜層8および第3絶縁膜層10が積層されている。第3絶縁膜層10上にはゲート電極12が形成され、さらに第1～第3絶縁膜層6、8、10およびゲート電極12を覆うようにゲート酸化膜14が形成され、このゲート酸化膜14を覆うように層間絶縁層17が形成されている。ゲート電極12に対して自己整合的にソース・ドレイン領域20が形成され、このソース・ドレイン領域20に電極18が取り付けられている。

【0019】周辺回路部側には、半導体基板2上にゲート酸化膜14が形成され、ゲート酸化膜14上にはゲート電極16が形成され、このゲート電極16を覆うように層間絶縁層17が形成され、ゲート電極16に対して自己整合的にソース・ドレイン領域20が形成され、このソース・ドレイン領域20に電極18が取り付けられている。

【0020】上記のメモリセル部側において、第1絶縁膜層6は、例えば、二酸化シリコン(SiO<sub>2</sub>)膜、第2絶縁膜層8は、例えば、窒化シリコン(SiN)膜、第3絶縁膜層10は、例えば、二酸化シリコン膜から形成することができる。また、上記のように構成される不揮発性半導体メモリ装置においては、第1、第2および第3の絶縁膜層6、8、10に電荷を蓄積する電荷蓄積機構が形成される。

【0021】本実施形態に係る不揮発性半導体メモリ装置においては、上記の構成の第2絶縁膜層8が、データの保持寿命に応じた原子の構成比をもって形成されている。すなわち、SiとNとの構成比がデータ保持寿命に応じた原子の構成比となっている。

【0022】上述したように、通常、電荷蓄積機構のデータ保持寿命は10年以上となるように、窒化シリコン膜からなる第2絶縁膜層8の形成の際に、窒化シリコン膜中にデータ保持寿命の劣化に寄与する浅い電荷トラップが形成されないような条件で形成される。浅い電荷トラップが形成されないと、電荷蓄積機構に蓄積される電荷量が多くなり、データ保持寿命が長くなる。

【0023】一方、本実施形態では、電荷蓄積機構の所望のデータ保持寿命に応じてNの構成比を調整し、積極的に浅い電荷トラップが形成されるようにすることにより、電荷蓄積機構に蓄積される電荷量を減少させ、データ保持寿命の劣化を引き起し、電荷蓄積機構のデータ保持寿命を所望のものにする。具体的には、例えば、上記の電荷蓄積機構のデータ保持寿命を短く設定したい場合、所望のデータ保持寿命に対応するように、Siに対するNの構成比を小さくしていく。

【0024】次に、本実施形態に係る不揮発性半導体メモリ装置の製造方法の一例について説明する。通常、このような不揮発性半導体メモリ装置を作製するには、例えば、以下のようなプロセスが用いられる。

【0025】図2(A)に示すように、まず、単結晶シリコン基板などで構成される半導体基板2の表面に、例えば、LOCOS法によりフィールド絶縁膜4を形成する。

【0026】次に、図2(B)に示すように、矢印に示すようなイオン注入法等を用いて、メモリ領域に不純物の導入を行う。次に、図2(C)に示すように、二酸化シリコン膜からなる第1絶縁膜層6を形成する。二酸化シリコン膜の膜厚は、特に限定されないが、たとえば1.0～3.0nm程度である。

【0027】次に、図3(D)に示すように、窒化シリコン膜からなる第2絶縁膜層8を、反応ガスにジクロロシラン(DCS)とアンモニア(NH<sub>3</sub>)を使用してCVD法をによって堆積させる。窒化シリコン膜の膜厚は、特に限定されないが、例えば、2.0～20.0nm程度である。このとき、窒化シリコン膜の形成条件として、ジクロロシランとアンモニアとの導入量比を設定したい電荷蓄積機構のデータ保持寿命にあわせて調整する。これにより、窒化シリコン膜からなる第2絶縁膜層8を構成するSiとNの構成比を調整することができる。

【0028】次に、図3(E)に示すように、窒化シリコン膜からなる第2絶縁膜層8を熱酸化して、酸化シリコン膜からなる第3絶縁膜層10を形成する。この酸化シリコン膜の厚さは、特に限定されないが、たとえば2.0～6.0nm程度である。

【0029】次に、図3(F)に示すように、ゲート電極材料層をCVD法などで成膜した後、これをパターン加工して、ゲート電極12を形成する。

【0030】次に、図4(G)に示すように、周辺回路その他の部分を形成するために、一度、メモリセルのゲート電極12の下層以外のところの第1、第2および第3の絶縁膜層6、8、10を除去し、周辺回路その他の部分に、不純物の導入、ゲート酸化膜14の形成し、ゲート電極16の形成を行なう。

【0031】次に、図4(H)に示すように、ゲート電極12、16に対して自己整合的に、ソース・ドレイン領域20を半導体基板2の表面に形成し、層間絶縁層17を成膜し、取り出し電極18を取付けることにより完成する。

【0032】以上のようなプロセスを経て完成した本実施形態に係る不揮発性半導体メモリ装置によれば、ゲート絶縁層を構成する第1絶縁膜層6、第2絶縁膜層8および第3絶縁膜層10のうちの第2絶縁膜層8を構成する原子SiとNとの構成比が所望のデータ保持寿命に対応した構成比となっている。このため、本実施形態に係る不揮発性半導体メモリ装置において保持されたデータは、所定の期間が経過すると抹消されることになる。したがって、本実施形態に係る不揮発性半導体メモリ装置をメモリカードや定期券等のようなものに使用すれば、期限がくるとデータ内容が抹消されメモリカードや定期券等の使用が不可能になり、これらメモリカードや定期券等の機能を高めることができる。また、メモリカードや定期券等のデータ内容の抹消を不揮発性半導体メモリ装置における第2絶縁膜層8のシリコンSiと窒素Nとの構成比の調整のみで実現できるため、データ内容の抹消のための新たな回路等が必要なくなり、メモリカードや定期券等の製造コストを抑制することができる。

【0033】第2実施形態

図5は、本発明をMNOSトランジスタに適用した場合

の一例である。すなわち、電荷蓄積層としてON膜を用いて不揮発性半導体メモリ装置を構成する。図5に示す不揮発性半導体メモリ装置と図1に示した不揮発性半導体メモリ装置との異なる点は、図5に示す不揮発性半導体メモリ装置は、第3絶縁膜層10を有しないという点である。また、図5に示す不揮発性半導体メモリ装置は、第3絶縁膜層10の成膜を除いて、第1実施形態と同様なプロセスで製造することができる。この結果、M 10 NOS型の不揮発性半導体メモリ装置を製造することができる。

## 【0034】

【発明の効果】以上説明したように、本発明に係る不揮発性半導体メモリ装置によれば、データの保持寿命に応じた原子の構成比をもって前記第2の絶縁膜層が形成されていることから、データ保持寿命が予め所望のものに設定された不揮発性半導体メモリ装置が提供される。また、本発明に係る不揮発性半導体メモリ装置の製造方法によれば、第2の絶縁膜層のシリコン原子と窒素原子の構成比を任意に調整することができ、データ保持寿命が所望のものに設定された不揮発性半導体メモリ装置を製造することができる。

## 【図面の簡単な説明】

10

20

\* 20

【図1】本発明に係る不揮発性半導体メモリ装置の実施形態におけるメモリセル部および周辺回路部の要部断面図である。

【図2】図2(A)～(C)は、図1に示す不揮発性半導体メモリ装置の製造工程を示す要部断面図である。

【図3】図3(D)～(F)は、図1に示す不揮発性半導体メモリ装置の製造工程を示す要部断面図である。

【図4】図4(G)～(H)は、図1に示す不揮発性半導体メモリ装置の製造工程を示す要部断面図である。

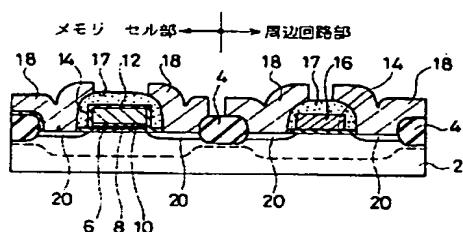
【図5】本発明に係る不揮発性半導体メモリ装置の他の実施形態におけるメモリセル部および周辺回路部の要部断面図である。

【図6】MONOS構造の半導体メモリ装置を従来のメモリセル構造を用いて集積化した場合のメモリセルの代表的な等価回路図である。

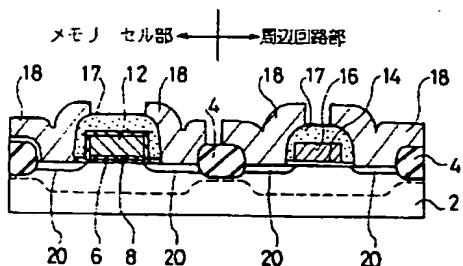
## 【符号の説明】

2…半導体基板、4…フィールド絶縁膜、6…第1絶縁膜層、8…第2絶縁膜層、10…第3絶縁膜層、12…ゲート電極、14…ゲート酸化膜、16…ゲート電極、17…層間絶縁層、18…電極、20…ソース・ドレイン領域。

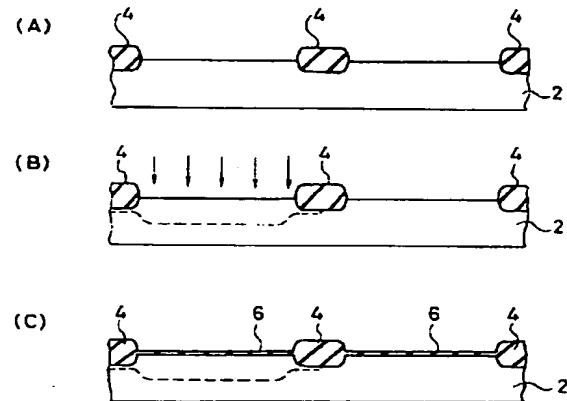
【図1】



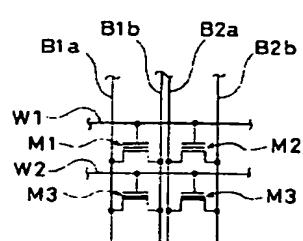
【図5】



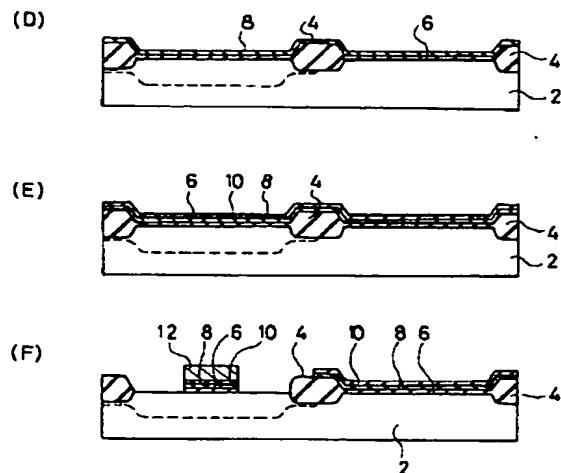
【図2】



【図6】



【図3】



【図4】

